

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 4 月 1 0 日
Date of Application:

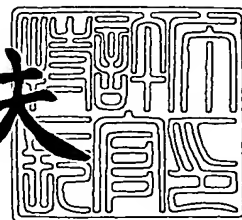
出 願 番 号 特 願 2 0 0 3 - 1 0 6 2 3 7
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 1 0 6 2 3 7]

出 願 人 セイコーエプソン株式会社
Applicant(s):

2 0 0 4 年 2 月 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 EP-0400501

【提出日】 平成15年 4月10日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/10

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 山村 光宏

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100090479

【弁理士】

【氏名又は名称】 井上 一

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090387

【弁理士】

【氏名又は名称】 布施 行夫

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090398

【弁理士】

【氏名又は名称】 大淵 美千栄

【電話番号】 03-5397-0891

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 強誘電体記憶装置のデータ記憶方法

【特許請求の範囲】

【請求項 1】 複数のワード線と、前記複数のワード線と交差する複数のビット線と、前記複数のワード線及び前記複数のビット線の各交点に、相交差する両線間の電圧が直接印加される強誘電体キャパシタをそれぞれ有する複数のメモリセルとを有し、前記複数のメモリセルの中から選択された複数の選択メモリセルに対してプログラムサイクル又はリードサイクルを実施し、かつ、前記プログラムサイクル及び前記リードサイクルの各々が、前記複数の選択メモリセルに対する第 1 データの書き込み期間とその後の第 2 データの書き込み期間とを含む強誘電体記憶装置のデータ記憶方法において、

前記リードサイクル中の前記第 1 データの書き込み期間にプログラムリクエストがあった時は、前記複数の選択メモリに対して、前記プログラムリクエストにて指定されたプログラムデータに従って、前記第 2 データを書き込むことを特徴とする強誘電体記憶装置のデータ記憶方法。

【請求項 2】 請求項 1 において、

前記リードサイクル中の前記第 2 データの書き込み期間にプログラムリクエストがあった時は、そのプログラムリクエストを受け付けずに、前記複数の選択メモリセルのうち前記第 2 データを記憶していた選択メモリセルに対して、前記第 2 データを再書き込みすることを特徴とする強誘電体記憶装置のデータ記憶方法。

【請求項 3】 請求項 1 または 2 において、

前記プログラムデータは、前記第 2 データ書き込み期間が開始される前に入力されることを特徴とする強誘電体記憶装置のデータ記憶方法。

【請求項 4】 請求項 1 または 2 において、

前記プログラムデータは、前記選択メモリセルに接続されたワード線またはビット線が、前記第 2 データ書き込み期間にて選択電圧に到達するまでに入力されることを特徴とする強誘電体記憶装置のデータ記憶方法。

【請求項 5】 請求項 1 または 2 において、

前記第 2 データの書き込み期間は、前記プログラムデータが入力されるのを待って開始されることを特徴とする強誘電体記憶装置のデータ記憶方法。

【請求項 6】 請求項 5 において、

前記第 1 データの書き込み期間が終了した後であって、前記プログラムデータが入力されるまでの間は、前記複数のメモリセルに電圧が印加されないスタンバイ状態とすることを特徴とする強誘電体記憶装置のデータ記憶方法。

【請求項 7】 請求項 1 において、

前記リードサイクル中の前記第 2 データの書き込み期間にプログラムリクエストがあった時は、前記リードサイクルを途中終了させ、前記プログラムリクエストに従って前記プログラムサイクルに移行することを特徴とする強誘電体記憶装置のデータ記憶方法。

【請求項 8】 複数のワード線と、前記複数のワード線と交差する複数のビット線と、前記複数のワード線及び前記複数のビット線の各交点に、相交差する両線間の電圧が直接印加される電圧強誘電体キャパシタをそれぞれ有する複数のメモリセルとを有し、前記複数のメモリセルの中から選択された複数の選択メモリセルに対してプログラムサイクル又はリードサイクルを実施し、かつ、前記プログラムサイクル及び前記リードサイクルの各々が、前記複数の選択メモリセルに対する第 1 データの書き込み期間とその後の第 2 データの書き込み期間とを含む強誘電体記憶装置のデータ記憶方法において、

前記プログラムサイクル中の前記第 1 データの書き込み期間では、プログラムデータの有無に拘わらず前記複数のメモリセルの全てに対して前記第 1 のデータを書き込み、前記プログラムサイクル中の前記第 1 データの書き込み期間中に前記プログラムデータが入力された時は、前記プログラムデータに従って前記第 2 データの書き込み動作を実施することを特徴とする強誘電体記憶装置のデータ記憶方法。

【請求項 9】 請求項 8 において、

前記第 1 データの書き込み期間外に新たなプログラムデータへの変更要求があ

った時は、その変更要求を受け付けないことを特徴とする強誘電体記憶装置のデータ記憶方法。

【請求項 10】 請求項 8 において、

前記選択メモリセルに接続されたワード線またはビット線が前記第 2 データ書き込み期間にて選択電圧に到達するまでに、前記プログラムデータが入力された時は、前記プログラムデータに従って前記第 2 データの書き込み動作を実施することを特徴とする強誘電体記憶装置のデータ記憶方法。

【請求項 11】 請求項 8 において、

前記プログラムサイクル内の前記第 2 データの書き込み期間は、前記プログラムデータが入力されるのを待って開始されることを特徴とする強誘電体記憶装置のデータ記憶方法。

【請求項 12】 請求項 11 において、

前記第 1 データの書き込み期間が終了した後であって、前記プログラムデータが入力されるまでの間は、前記複数のメモリセルに電圧が印加されないスタンバイ状態とすることを特徴とすることを特徴とする強誘電体記憶装置のデータ記憶方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、強誘電体記憶装置に関し、特に、書き込み（プログラム）及び／又は読み出しコマンドが一定時間内に競合した場合に、最新のコマンドを処理するための改良に関する。

【0002】

【背景技術及び発明が解決しようとする課題】

一つのメモリセルに一つの強誘電体キャパシタのみを配置した、いわゆるクロスポイント型強誘電体記憶装置は、SRAM、DRAM等の他の記憶装置と同様にプログラムサイクルとリードサイクルとを有する。

【0003】

ここで、SRAM、DRAMでは、プログラムデータの書き込み途中にて、新

たなプログラムデータに書き換えることが可能である。あるいは、リードサイクル途中にてプログラムリクエストがあった時には、直ちにプログラムサイクルに変更可能である。

【0004】

ここで、クロスポイント型強誘電体記憶装置は、SRAM、DRAMなどとは事情が異なり、強誘電体キャパシタのヒステリシス特性を用いてデータ記憶を行う。このため、プログラムサイクル及びリードサイクルの各々が、“0”データ書き込み期間と“1”データ書き込み期間とを有し、実質的に2工程を有する（その詳細は後述する）。従って、選択メモリセルのアドレスが指定されてプログラムサイクルまたはリードサイクルが開始された後は、リクエストまたはプログラムデータの変更を一切認めない同期型とすることが考えられる。

【0005】

同期型では、リードサイクルの途中ではプログラムサイクルへの変更は認められず、プログラムサイクルの途中ではプログラムデータの変更は認められない。

【0006】

しかし、クロスポイント型強誘電体記憶装置についてのみ同期型とすると、SRAM、DRAM等と仕様が全く異なり、ユーザにとって不都合である。

【0007】

本発明は、クロスポイント型強誘電体記憶装置のプログラムサイクル及びリードサイクルの特殊性に鑑みて、選択メモリセルに対するリクエストまたはプログラムデータが変更された場合でも、最新のプログラムリクエストまたはプログラムデータに基づいたデータ記憶を可能とする強誘電体記憶装置のデータ記憶方法を提供することを目的とする。

【0008】

【課題を解決するための手段】

本発明の一態様は、複数のワード線と、前記複数のワード線と交差する複数のビット線と、前記複数のワード線及び前記複数のビット線の各交点に、相交差する両線間の電圧が直接印加される強誘電体キャパシタをそれぞれ有する複数のメモリセルとを有し、前記複数のメモリセルの中から選択された複数の選択メモリ

セルに対してプログラムサイクル又はリードサイクルを実施し、かつ、前記プログラムサイクル及び前記リードサイクルの各々が、前記複数の選択メモリセルに対する第1データの書き込み期間とその後の第2データの書き込み期間とを含む強誘電体記憶装置のデータ記憶方法において、

前記リードサイクル中の前記第1データの書き込み期間にプログラムリクエストがあった時は、前記複数の選択メモリに対して、前記プログラムリクエストにて指定されたプログラムデータに従って、前記第2データを書き込むことを特徴とする。

【0009】

ここで、第1データを例えば“0”データとすると、第2データは“1”データである。リードサイクルは、その前半工程であるリード工程と、その後半工程であるリライト工程との2工程を有する。前半のリード工程では、全選択メモリセルに対して第1データの書き込み工程が実施されて、選択メモリセルからのデータ読み出しが行われる。後半のリライト工程では、リード工程前に第2データを記憶していた選択メモリに対して第2データが書き込まれる。リードサイクル中にプログラムリクエストを受け付けるには、リライト工程が実質的に始まる前であれよい。なぜなら、そのリライト期間をプログラムサイクル中の第2データ書き込み期間に変更することが間に合うからである。この場合、リライト工程に代えて、受け付けられたプログラムリクエストにて指定されたプログラムデータに従って、第2データを記憶すべき選択メモリに対して第1データが書き込まれる。

【0010】

ここで、プログラムリサイクル中の第1データ書き込み期間はリード期間によって代用されるので、繰り返し実施する必要はない。リードサイクル中のリード期間では、プログラムサイクル中の第1データ書き込み期間と同じであり、全選択メモリセルに対して第1データが書き込まれるからである。

【0011】

ところで、前記リードサイクル中の前記第2データの書き込み期間にプログラムリクエストがあった時は、そのプログラムリクエストを受け付けずに、前記複

数の選択メモリセルのうち前記第2データを記憶していた選択メモリセルに対して、前記第2データを再書き込みすることができる。この場合、前記プログラムデータは、前記第2データ書き込み期間が開始される前に入力されればよい。ただし、実質的には、前記プログラムデータは、前記選択メモリセルに接続されたワード線またはビット線が、前記第2データ書き込み期間にて選択電圧に到達するまでに入力されればよい。ワード線またはビット線が選択電圧まで立ち上がった時に初めて、第2データ書き込みが実施されるからである。

【0012】

これらに代えて、前記プログラムデータの入力時期を制限せずに、前記第2データの書き込み期間は、前記プログラムデータが入力されるのを待って開始されても良い。この場合、前記第1データの書き込み期間が終了した後であって、前記プログラムデータが入力されるまでの間は、前記複数のメモリセルに電圧が印加されないスタンバイ状態とすることが好ましい。データ入力を待つ間にメモリセルにディスタープ電圧が印加されてデータが劣化されるのを防止するためである。

【0013】

本発明の一態様では、前記リードサイクル中の前記第2データの書き込み期間にてプログラムリクエストを受け付けるようにしても良い。この場合は、前記リードサイクルを途中終了させ、前記プログラムリクエストに従って前記プログラムサイクルに移行させることになる。すなわち、リードサイクルを途中で止めて、プログラムサイクルにやり直すことを意味する。前記リードサイクル中の前記第2データの書き込み期間が開始されていると、もはや、リードサイクル中の前記第1データの書き込み期間（リード期間）にて全選択メモリセルに書き込まれた第1データは維持されなくなるからである。

【0014】

本発明の他の態様は、上述の構成を有する強誘電体記憶装置のデータ記憶方法において、前記プログラムサイクル中の前記第1データの書き込み期間では、プログラムデータの有無に拘わらず前記複数のメモリセルの全てに対して前記第1のデータを書き込み、前記プログラムサイクル中の前記第1データの書き込み期

間中に前記プログラムデータが入力された時は、前記プログラムデータに従って前記第2データの書き込み動作を実施することを特徴とする。

【0015】

ここで、第1データを例えば“0”データとすると、第2データは“1”データである。プログラムリクエストに従って開始されるプログラムサイクルは、その前半工程であるライト0工程と、その後半工程であるライト1工程との2工程を有する。前半のライト0工程では、リードサイクルのリード工程と同じく、全選択メモリセルに対して第1データ（“0”データ）の書き込みが実施される。後半のライト1工程では、プログラムデータに従って“1”データを記憶すべき選択メモリに対して“1”データが書き込まれる。

【0016】

プログラムサイクル中にプログラムデータを受け付けるには、第2データ書き込み期間が実質的に始まる前であれよい。なぜなら、第1データ書き込み期間では、全選択メモリセルに第1データを書き込むのでプログラムデータは不要であるからである。第2データ書き込み期間が実質的に開始される前にプログラムデータが存在すれば、それに従った第2データの書き込みに間に合う。

【0017】

ここで、第1データ書き込み期間中にプログラムデータが変更されても、プログラムサイクル中の第1データ書き込み期間を繰り返し実施する必要はない。この第1データ書き込み期間では、プログラムデータの内容に無関係に、全選択メモリセルに対して第1データが書き込まれるからである。

【0018】

本発明の他の態様では、前記第1データの書き込み期間外に前記プログラムデータの変更要求があった時は、その変更要求を受け付けないようにすればよい。そうしないと、予め定められたタイミングで、第1データ書き込み期間を開始することができないからである。あるいは、前記選択メモリセルに接続されたワード線またはビット線が前記第2データ書き込み期間にて選択電圧に到達するまでに、前記プログラムデータが入力されたり、前記新たなプログラムデータへの変更要求があった時は、最新のプログラムデータに従って前記第2データの書き込

み動作を実施してもよい。このタイミングでも第2データの書き込み動作に間に合うからである。

【0019】

これらに代えて、前記プログラムサイクル内の前記第2データの書き込み期間は、プログラムデータが入力されるのを待って開始されてもよい。この場合、前記第1データの書き込み期間が終了した後であって、前記プログラムデータが入力されるまでの間は、前記複数のメモリセルに電圧が印加されないスタンバイ状態とすることが好ましい。上述した通り、プログラムデータの入力待機中でのデータの劣化を防止するためである。

【0020】

【発明の実施の形態】

以下、本発明の一実施形態について、図面を参照して説明する

(強誘電体メモリセル)

図1は、本実施形態に係る強誘電体記憶装置のメモリセルアレイの概略説明図である。図1は、クロスポイント型強誘電体記憶装置のメモリセルアレイ10を示している。メモリセルアレイ10は、第1の方向例えば行方向に沿って延びる複数のワード線20(WL)と、第1の方向と交差する第2の方向例えば列方向に沿って延びる複数のビット線30(BL)とを有する。これらワード線20及びビット線30の一方又は双方を階層化して、メインワード線ーサブワード線、メインビット線ーサブビット線を設けても良い。

【0021】

複数のワード線20及び複数のビット線30の各交点には、相交差する両線20, 30間の電圧が直接印加される強誘電体キャパシタ50が設けられ、一つの強誘電体キャパシタ50が1ビットのメモリセルを構成している。

【0022】

(一般動作説明)

この強誘電体記憶装置は、強誘電体キャパシタ50のヒステリシス現象に現れる2通りの分極状態を1ビットとして利用した記憶装置である。

【0023】

ヒステリシス現象について、強誘電体キャパシタ 50 に印加される電圧と強誘電体の分極値との相関を図 2 に示した。図 2 の縦軸 P は、強誘電体キャパシタ 50 の分極値を示し、横軸 V は、強誘電体キャパシタ 50 に印加される電圧を表す。図 2 の曲線は、強誘電体キャパシタ 50 に印加される電圧の変化に応じて、強誘電体キャパシタ 50 の分極状態が循環する特性を示す。例えば、今 B 点の状態（例えば論理値 “0” の記憶状態）または D 点の状態（例えば論理値 “1” の記憶状態）にある強誘電体キャパシタ 50 に選択電圧 V_s を印加すると、分極状態は A 点に移る（論理値 “0”， “1” の読み出し）。印加される電圧が 0 V になると、B 点に移行する。つまり、元々 D 点にあった分極状態も、A 点を經由して B 点に移行する。その後、さらに強誘電体キャパシタ 50 に選択電圧 ($-V_s$) を印加すると状態は C 点に移る。（論理値 “1” の書き込み）。印加される電圧が 0 V になると、今度は、D 点に状態が移る（論理値 “1” の記憶状態）。

【0024】

ここで、B 点または D 点の分極状態にある強誘電体キャパシタ 50 に、例えば $1/3$ バイアス法の下での非選択電圧 ($\pm V_s/3$) を印加したとする。その後印加される電圧が 0 V になると、状態は、元の B 点または D 点に戻るのである。これは、ある強誘電体キャパシタ 50 の選択時に、非選択の強誘電体キャパシタ 50 に非選択電圧 ($\pm V_s/3$) が印加されても、記憶状態は維持されることを示す。

【0025】

図 2 にて既に説明した通り、強誘電体キャパシタ 50 の正負の分極方向をそれぞれ 1 ビットの各論理値 “0”、“1” とみなすことができる。本明細書では、図 2 の B 点の分極値を論理値 “0”、図 2 の D 点の分極値を論理値 “1” とするが、その逆の定義であっても良い。論理値 “0” を記憶させたいときは、強誘電体キャパシタ 50 に電圧 V_s を印加し（“0” データ書き込み動作）、論理値 “1” を記憶させたいときは強誘電体キャパシタ 50 に電圧 ($-V_s$) を印加すればよい（“1” データ書き込み動作）。

【0026】

次に、強誘電体記憶装置のデータのプログラム（書き込み）サイクル及びリー

ドサイクルについて図3～図6を参照して説明する。

【0027】

まず、図3に示すように、プログラムサイクルは、“0”データ書き込み動作（ライト0）及び“1”データ書き込み動作（ライト1）を要する。強誘電体キャパシタ50の特性上、“0”データを書き込む期間と“1”データを書き込む期間とでは、電圧の印加方向の反転が必要であるので、“0”データ書き込み及び“1”データ書き込みの2工程を要するからである。

【0028】

具体的には、図3及び図4に示すように、プログラムサイクルの前半の“0”データ書き込み期間では、“0”データを書きこむべき強誘電体キャパシタ（選択メモリセル）に接続された選択ビット線に0V、選択ワード線に V_s （例えば電源電圧 V_{cc} ）を印加する。こうして、選択メモリセルに $+V_s$ を印加することで、図2のB点またはD点からA点に移動させて、選択メモリセルに“0”データを書きこむ。他の非選択メモリセルに接続された非選択ビット線に $2V_s/3$ 、非選択ワード線に $V_s/3$ を印加する。非選択メモリセルには $\pm V_s/3$ が印加され、メモリ状態が維持される。

【0029】

プログラムサイクルの後半の“1”データ書き込み期間では、“1”データを書きこむべき強誘電体キャパシタ（選択メモリセル）に接続された選択ビット線に V_s （例えば電源電圧 V_{cc} ）、選択ワード線に0Vを印加する。こうして、選択メモリセルに $-V_s$ を印加することで、図2のB点またはD点からC点に移動させて、選択メモリセルに“1”データを書きこむ。他の非選択メモリセルに接続された非選択ビット線に $V_s/3$ 、非選択ワード線に $2V_s/3$ を印加する。非選択メモリセルには $\pm V_s/3$ が印加され、メモリ状態が維持される。

【0030】

ただし、本実施形態では、図4の“0”データ書き込み期間での動作に代えて、図5の“0”データ書き込み期間での動作を採用するものとする。図5では、全ての選択メモリセルに“0”データを書き込んでいる。この後の“1”データ書き込み期間は、図4の後半期間での動作と全く同じである。図5の“0”デー

タ書き込み期間にて“0”データが書き込まれた選択メモリセルのうち、図4の後半期間にて“1”データが書き込まれない選択メモリセルでは、“0”データが記憶されることになる。よって、図4の前半期間のみを図5の“0”データ書き込み期間に変更しても、全選択メモリセルでの記憶状態は、図4の前後半期間を共に実施した場合と全く同じとなる。

【0031】

このように、図5の“0”データ書き込み期間での動作を採用すれば、“0”データ書き込み期間中は“1”データを記憶すべき選択メモリセルのアドレス情報は不要となる。このことは、プログラムサイクル中の“0”データ書き込み期間では、“1”データを記憶すべき選択メモリセルのアドレス情報は変更可能であることを意味する。このことが、非同期型の強誘電体記憶装置を実現するための前提である。

【0032】

次に、この強誘電体記憶装置は、破壊読み出し方式なので、読み出し後に再書き込み作業が必要である。よって、リードサイクルでは、図3に示すように、読み出し（リード）・再書き込み（リライト）の2工程を要する。図3及び図6のリードサイクルの前半のリード工程は、“0”データ書き込みと同じ印加方向に電圧（ V_s ）を印加する。こうして、強誘電体キャパシタの分極値を図2のB点またはD点からA点に移動させて、強誘電体キャパシタ30内の移動電荷量に基づいて、選択メモリセルにて保持されている状態を読み出す。リードサイクルの未後半のリライト工程では、元々“1”データを記憶していたセルにのみ、選択電圧（ $-V_s$ ）を印加して“1”データを再書き込みしている。

【0033】

以上のことから、リードサイクルとプログラムサイクルのそれぞれにおいて、“0”データ書き込み動作と、“1”データ書き込み動作とを実施していることが分かる。

【0034】

（強誘電体記憶装置）

図7は、図1に示す強誘電体メモリセルアレイ10を含む強誘電体記憶装置を

示している。図7において、強誘電体メモリセルアレイ10を駆動するX（第1）デコーダ100とY（第2）デコーダ110とが設けられている。Xデコーダ100は、図1に示す複数のワード線20を駆動し、Yデコーダ110は図1に示すビット線30を駆動する。Yデコーダ110を介して強誘電体メモリセルアレイ10に読み書きされるデータは、入出力回路120及びI/O端子130を介して入出力される。

【0035】

図7では、コマンド信号として、例えば、チップセレクト信号／CS、ライトイネーブル信号／WE及びアウトプットイネーブル信号／OEが示されている。ここで、チップセレクト信号／CSがアクティブである条件下で、プログラムサイクル又はリードサイクルが実施される。プログラムリクエストではライトイネーブル／WEがイネーブルとなり、リードリクエストではライトイネーブル／WEがディスイネーブルとなる。アウトプットイネーブル／OEがアクティブであれば、リードサイクルで読み出されたメモリセルデータが外部に出力される。なお、チップセレクト信号／CSに代えてチップイネーブル信号／CEを用いても良い。これらのコマンド信号は、図8に示すように、メモリ制御部140内のコマンドデコーダ150にてデコードされ、その要求内容がコマンドデコーダ150より制御回路160に出力される。

【0036】

図7に示すプリデコーダ170はアドレス信号をプリデコードし、そのプリデコード情報は、X、Yデコーダ100、110でのワード線、ビット線の選択・非選択の指定に用いられる。

【0037】

図7に示す電源回路180は、図3～図6にて説明した各種電圧（例えば V_s 、 $2V_s/3$ 、 $V_s/3$ 、0）を生成し、X、Yデコーダ100、110に供給する。

【0038】

次に、図8に示す制御回路160のメモリ制御動作について説明する。本実施形態では、以下に示す複数の制御動作の中のいずれか一つが実施されるように、

制御回路 160 が予めプログラミングされている。

【0039】

(第1のデータ記憶方法)

第1のデータ記憶方法は、図9に示すフローチャートに従って実施できる。図9のフローチャートによって実現できる態様は、図10～図14の通りであり、まずその各態様について説明する。

【0040】

図10に示すように、リードリクエスト (RR) に基づいて実施されるリードサイクル中の後半のリライト期間 (RW: “1” データ書き込み期間) にプログラムリクエスト (PR) があった時は、そのプログラムリクエスト (PR) を受け付けない。その代わりに、複数の選択メモリセルのうち “1” データを記憶していた選択メモリセルに対して、“1” データをリライトする。もし、図11に示すように、リードサイクル中のリード期間 (R: “0” データ書き込み期間) にプログラムリクエスト (PR) があった時は、プログラムデータ (PD) に従って、図4の後半期間の通り “1” データを書き込む。図11では、プログラムデータ (PD) は、“1” データ書き込み期間 (W1) が開始される前であれば、いつ入力されても良い。図11に代えて、図12に示すように、プログラムデータ (PD) が入力される時期は、選択メモリセルに接続されたビット線 30 が、“1” データ書き込み期間 (W1) にて選択電圧に到達する時期 T まで延長されてもよい。ビット線 30 が選択電圧に立ち上がって初めて “1” データの書き込み動作が実質的に始まるからである。

【0041】

第1のデータ記憶方法は、図13または図14に示すように、プログラムサイクルにも適用可能である。図13に示すように、プログラムリクエスト (PR) に基づいて実施されるプログラムサイクル中の “0” データ書き込み期間 (W0) 外に新たなプログラムデータ (PD) への変更要求があった時は、その変更要求を受け付けない。換言すれば、プログラムサイクル中の “0” データ書き込み期間 (W0) 中にプログラムデータ (PD) が入力されたり、さらには新たなプログラムデータ (PD) への変更要求があった時は、最新のプログラムデータ (

PD)に従って“1”書き込み動作が可能である。このことは、図5にて説明した通りである。すなわち、図5はプログラムサイクル中の“0”データ書き込み期間(W0)では、“0”データが全選択メモリセルに一旦書き込まれる。よって、“1”データ書き込み期間(W1)が始まるまでに、プログラムデータ(PD)が確定していれば良い。換言すれば、“1”データ書き込み期間(W1)が始まる直前の最新のプログラムデータ(PD)に従って、図4の後半期間の通り“1”データを書き込むことができる。

【0042】

図13に代えて、図14に示すように、プログラムデータ(PD)が入力される時期は、選択メモリセルに接続されたビット線30が、“1”データ書き込み期間(W1)にて選択電圧に到達する時期Tまで延長されてもよい。上述した通り、ビット線30が選択電圧に立ち上がって初めて“1”データの書き込み動作が実質的に始まるからである。

【0043】

なお、プログラムデータ(PD)とは、図7に示す入出力端子130へのデータであっても良いし、それ以外のデータ入力端子であっても良い。なお、データ出力タイミングとデータ入力タイミングが近接する場合には、アウトプットイネーブル信号/OEまたはライトイネーブル信号/WEにより、データ出力を強制停止させればよい。

【0044】

図10～図14の各種形態を踏まえて、図9に示すフローチャートを説明する。図8に示す制御回路160は、フラグ記憶部(図示せず)を有し、先ず最初にフラグ=0とされる(ステップ1)。その後、ステップ2にて例えばリードリクエストであると判断されると、リードサイクルが開始される(ステップ3)。リード期間(R)が終了するまでにプログラムリクエスト(PR)が入力されたか否かが判断される(ステップ4, 5)。もし、ステップ4にてプログラムリクエスト(PR)があったと判断されたら、フラグ=1にセットされる(ステップ6)。

【0045】

ステップ5にてリード期間(R)が終了したと判断されたら、ステップ7にてフラグ=1でない場合に限って、リライト期間(RR)に移行する(ステップ8)。

【0046】

リライト期間(RW)では、プログラムリクエスト(PR)の有無を判断していない。よって、ステップ1~8の実施により、図10に示すように、リードリクエスト(RR)に基づいて実施されるリードサイクル中の後半のリライト期間(RW: “1” データ書き込み期間)にプログラムリクエスト(PR)があった時は、そのプログラムリクエスト(PR)は受け付けられない。

【0047】

ステップ7がYESであれば、図11または図12に示すように、リードサイクル中のリード期間(R)にプログラムリクエスト(PR)があったことを意味する。この時は、プログラムデータ(PD)に従って、図4の後半期間の通り “1” データを書き込む(ステップ10)。このプログラムデータ(PD)の受付時期は、図11または図12の何れであっても良い。こうして、リードサイクルの途中でプログラムリクエスト(PR)が受け付けられる。この場合、リードサイクルの前半で全選択メモリセルに “0” データが書き込まれ、その後半はプログラムサイクルの “1” データ書き込み期間(W1)となる。

【0048】

なお、図9のステップ2にてプログラムリクエストと判断されたら、ステップ9, 10にて、プログラムサイクル中の “0” データ書き込み期間(W0)と “1” データ書き込み期間(W1)が設定される。

【0049】

(第2のデータ記憶方法)

この第2のデータ記憶方法は、図15に示すフローチャートによって実現できる。図15が図9と異なる点は、図9のステップ9, 10間に、ステップ11, 12を追加した点である。ステップ11では、ステップ10での “1” データ書き込み期間(W1)の実施の前に、プログラムデータ(pd)が入力されたか否かが判断される。ステップ11での判断がNOであれば、全メモリセルはスタン

バイ状態とされる。ここで、スタンバイ状態とは、全メモリセルに印加される電圧が0 Vに設定されることを意味する。

【0050】

図15に示すフローチャートは、図9に示す全てのステップを備えるため、図10～図14の全ての態様でのデータ記憶が可能であるが、図13および図14に示すようにプログラムデータ（PD）の入力遅れに制限があるものに限定されない。さらに加えて、図16及び図17の態様でのデータ記憶が可能となる。

【0051】

図16は、図15のステップ7での判断がYESである場合の態様を示す。つまり、図11、図12または図16に示すように、リードサイクル中のリード期間（R）にプログラムリクエスト（PR）があったことを意味する。その後、図15のステップ11がYESであれば、プログラムデータ（PD）に従って、図4の後半期間の通り“1”データが書き込まれる。この場合の態様は図11または図12に示す通りである。

【0052】

図15のステップ11での判断がNOであれば、プログラムデータ（PD）が存在しないため、ステップ10の実施ができない。そこで、プログラムデータ（PD）のデータ入力を待つのであるが、その待機期間に亘って、図15のステップ12にてスタンバイ状態（S）に設定している。スタンバイ状態（S）では、全メモリセルへの印加電圧が0 Vとなる。従って、強誘電体キャパシタ50にディスタージブ電圧が印加されず、データ読み出しマージンの低下またはデータ破壊が生じない。仮にスタンバイ状態に設定しないと、非選択メモリセルに非選択電圧（ $V_s/3$ ）が印加され続け、強誘電体キャパシタ50の分極値が劣化して、データ読み出しマージンが低下し、最悪の場合データが破壊されてしまう（“0”，“1”データの判別不能）。

【0053】

以上の動作は、図15のステップ2でプログラムリクエストと判断され、ステップ9にてプログラムサイクルに移行した場合も同様に実施される。この場合は、図17に示すように、“0”データ書き込み期間（W0）と“1”データ書き

込み期間 (W1) との間でスタンバイ状態 (S) が設定される。

【0054】

(第3のデータ記憶方法)

この第3データ記憶方法は、図18に示すフローチャートによって実現できる。図18と図9との相違点は、図9のステップ6を図18のステップ6-1, 6-2に分けた点と、図9のステップ9を図18のステップ9-1, 9-2に分けた点とである。なお、ステップ9-1とステップ9-2の実施時期は逆でも良い。図18のステップ6-1は図9のステップ6と、図18のステップ9-2は図9のステップ9とそれぞれ同じである。図18のステップ6-2及びステップ9-1では、それぞれデータ入力開始を明確にした。

【0055】

ただし、これらの相違は実質的なものではなく、図9においても図18のステップ6-2及びステップ9-1を有することができる。よって、図18のフローチャートは実質的に図9のフローチャートを内在しており、図18のフローチャートにおいても図10～図14に示す各種態様と結果として同じ態様を実現できる。ただし、図18のフローチャートでは、図11及び図12に示すように、リードサイクル中のプログラムリクエスト (PR) の受付時期が、リード期間 (R) に制限されることはなく、リードサイクル中いつでも受付可能である。

【0056】

このために、図18が図9と実質的に異なる点は、図9のステップ8を図18の通りステップ8-1～8-4に置き換えた点である。これにより、図18のフローチャートでは、リライト期間 (RW) の開始 (ステップ8-1) からその終了 (ステップ8-3) の間にて、プログラムリクエストがあったか否かを判断している (ステップ8-2)。そして、ステップ8-2にてプログラムリクエストが受け付けられたら、直ちにリライト期間 (RW) を終了させている (ステップ8-4)。その後、プログラムサイクルが最初から開始されている (ステップ9-1～10)。この実施態様は、図19に示す通りである。なお、図19では、プログラムデータ (PD) が入力される時期は、選択メモリセルに接続されたビット線30が、“1”データ書き込み期間 (W1) にて選択電圧に到達する時期

Tまで延長されている。これに限らず、プログラムデータ（PD）が入力される時期を“0”データ書き込み期間（W0）が終わるまでに制限しても良い。

【0057】

この第3のデータ記憶方法によれば、リードサイクル中にいつでもプログラムリクエストを受け付けることが可能となる。

【0058】

（第4のデータ記憶方法）

この第4のデータ記憶方法は、図20に示す通りであり、図18のフローチャートの一部を図15に従って変更したものである。図20のフローチャートでは、図15と同じくステップ6、ステップ9、ステップ11及びステップ12を有している。図20がステップ8-1～8-4を有する点は、図18と同じである。

【0059】

図20のフローチャートでは、図19での実施態様を実現できるが、図19に示すようにプログラムデータの入力遅れが制限されることはない。その代わりに、図21の実施態様も実現できる点は、図15で説明した通りである。

【0060】

なお、本発明は上述した各種実施形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。

【0061】

プログラムデータの取り込みタイミングとしては、例えばライトイネーブル／REがイネーブルとなるプログラムリクエストと同時に、または、ライトイネーブル／REがデイスイネーブルとなるタイミングでも良い。

【図面の簡単な説明】

【図1】 本発明の一実施形態に係る強誘電体メモリセルアレイの概略図である。

【図2】 強誘電体キャパシタの印加電圧一分極値のヒステリシス特性を示す図である。

【図3】 リードサイクル及びプログラムサイクルの各々が、“0”データ

書き込み期間及び“1”データ書き込み期間を有することを説明するための図である。

【図4】 プログラムサイクル中の“0”データ書き込み期間及び“1”データ書き込み期間での印加電圧を示す図である。

【図5】 本発明の実施形態にて、図4の前半期間に代えて用いられる“0”データ書き込み期間での印加電圧を示す図である。

【図6】 リードサイクル中の“0”データ書き込み期間及び“1”データ書き込み期間での印加電圧を示す図である。

【図7】 本発明のデータ記憶方法が適用される強誘電体記憶装置の一例を示すブロック図である。

【図8】 図7中のメモリ制御回路のブロック図である。

【図9】 本発明の第1のデータ記憶方法の実施形態を示すフローチャートである。

【図10】 図9のフローチャートによって実現される第1態様を示す図である。

【図11】 図9のフローチャートによって実現される第2態様を示す図である。

【図12】 図9のフローチャートによって実現される第3態様を示す図である。

【図13】 図9のフローチャートによって実現される第4態様を示す図である。

【図14】 図9のフローチャートによって実現される第5態様を示す図である。

【図15】 本発明の第2のデータ記憶方法の実施形態を示すフローチャートである。

【図16】 図15のフローチャートによって実現される追加の第1態様を示す図である。

【図17】 図15のフローチャートによって実現される追加の第2態様を示す図である。

【図 18】 本発明の第 3 のデータ記憶方法の実施形態を示すフローチャートである。

【図 19】 図 18 のフローチャートによって実現される追加の第 1 態様を示す図である。

【図 20】 本発明の第 4 のデータ記憶方法の実施形態を示すフローチャートである。

【図 21】 図 20 のフローチャートによって実現される追加の第 1 態様を示す図である。

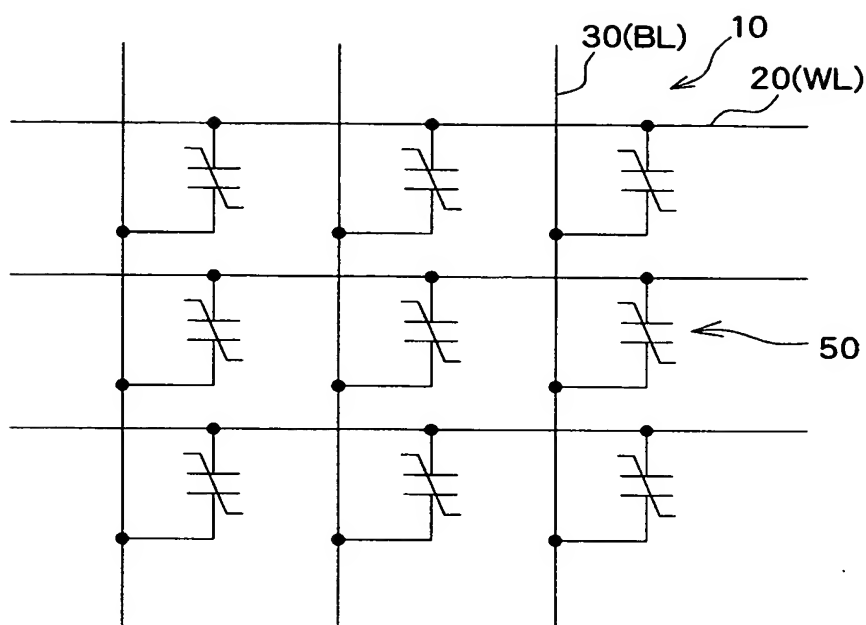
【符号の説明】

10 強誘電体メモリセルアレイ、20 ワード線、30 ビット線、50 強誘電体キャパシタ、100 Xデコーダ、110 Yデコーダ、120 入出力回路、130 入出力端子、140 メモリ制御部、150 コマンドデコーダ、160 制御回路、170 プリデコーダ、180 電源回路

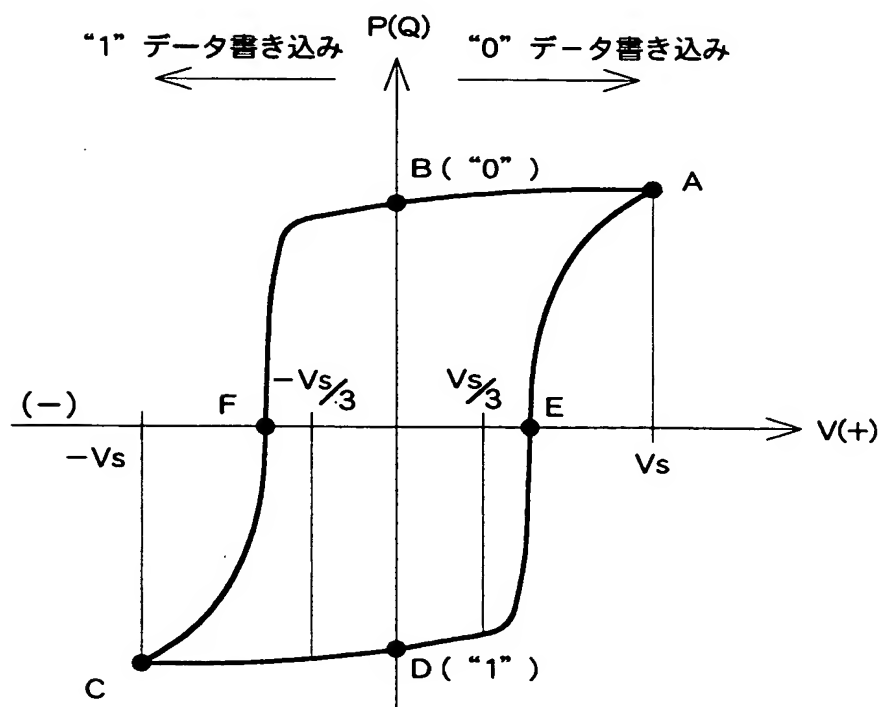
【書類名】

図面

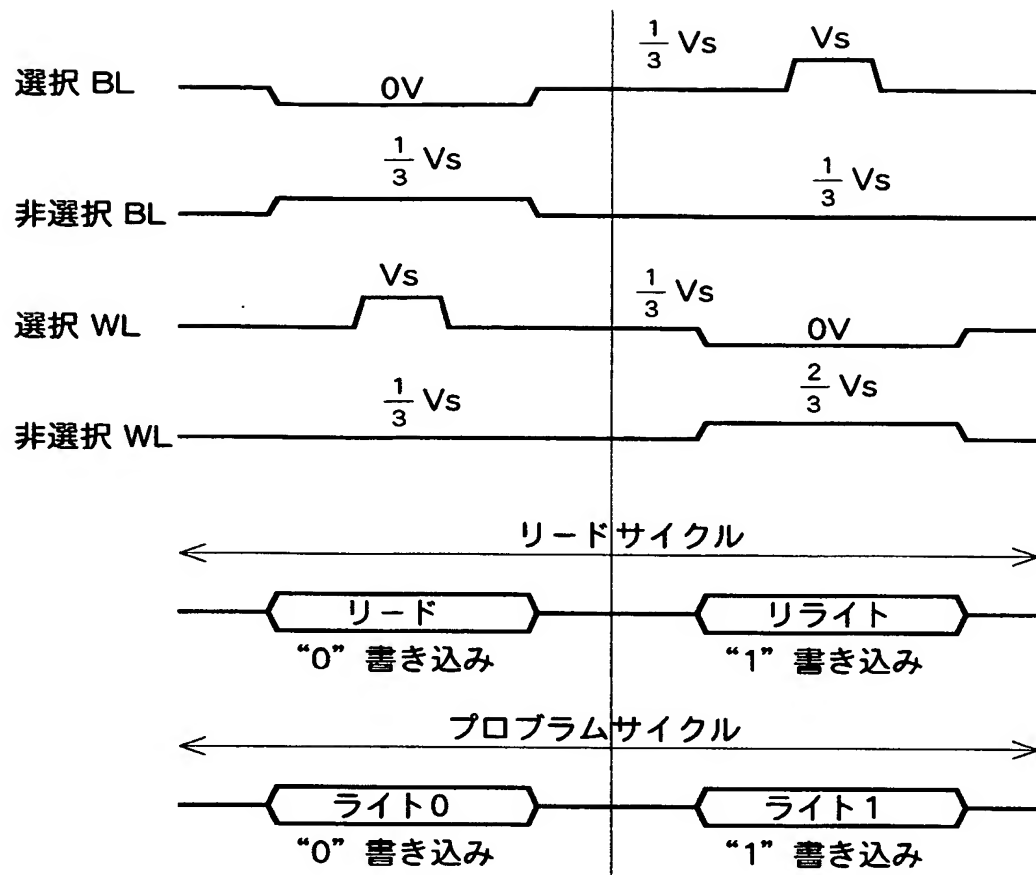
【図 1】



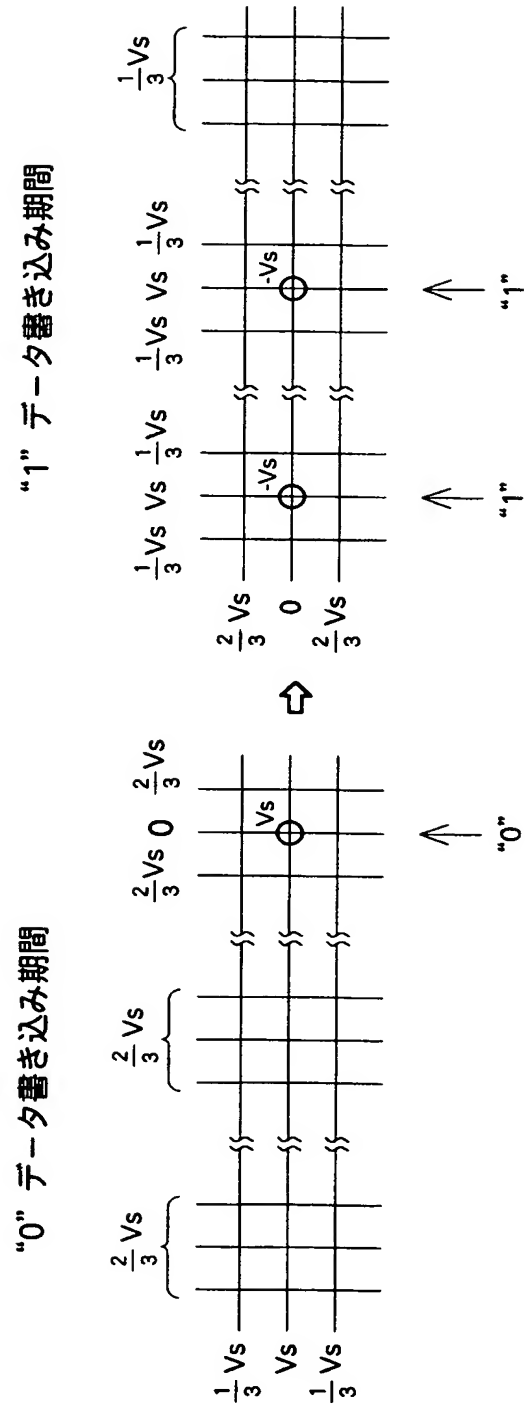
【図 2】



【図 3】

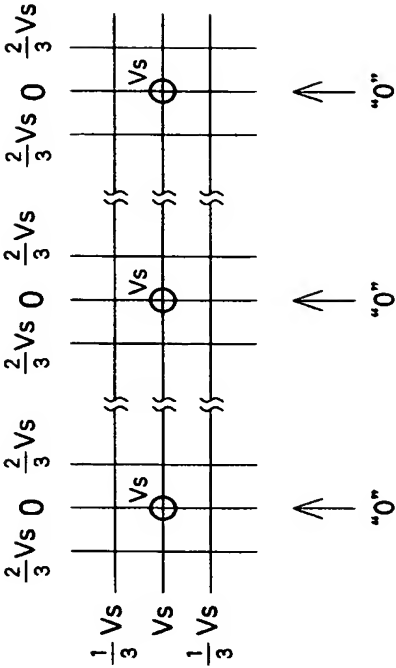


【図 4】

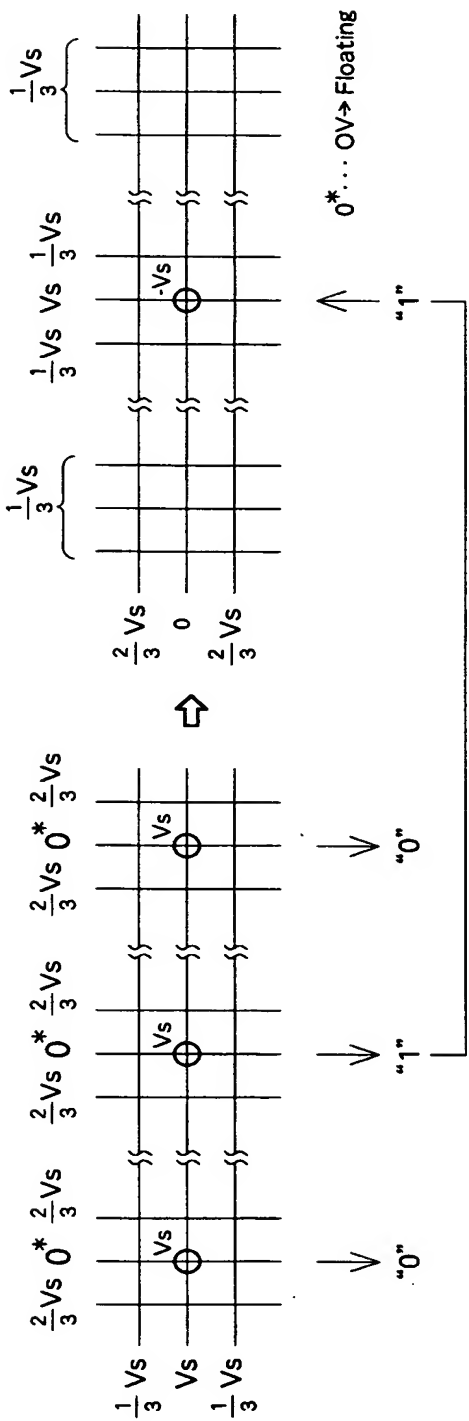


【図 5】

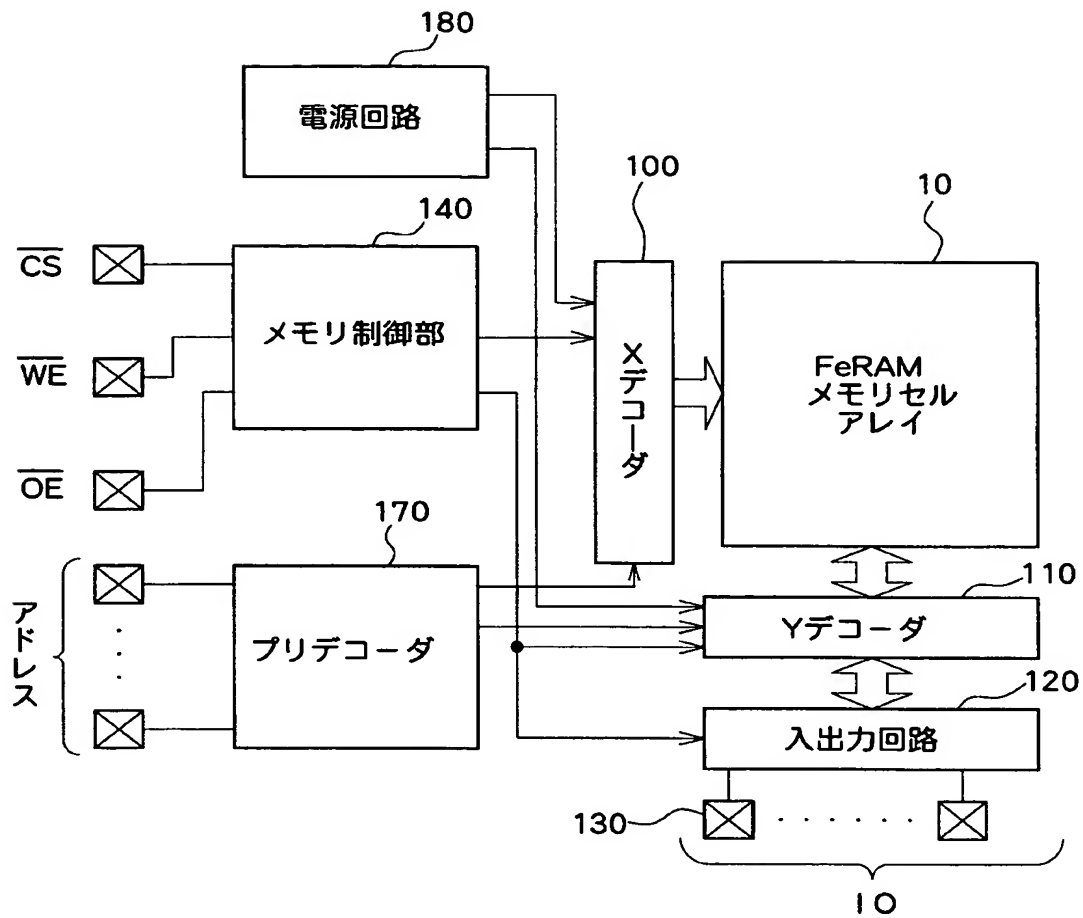
“0” データ書き込み期間



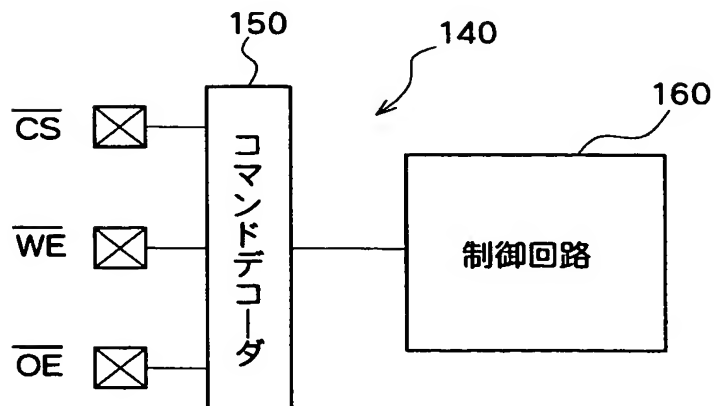
【図 6】



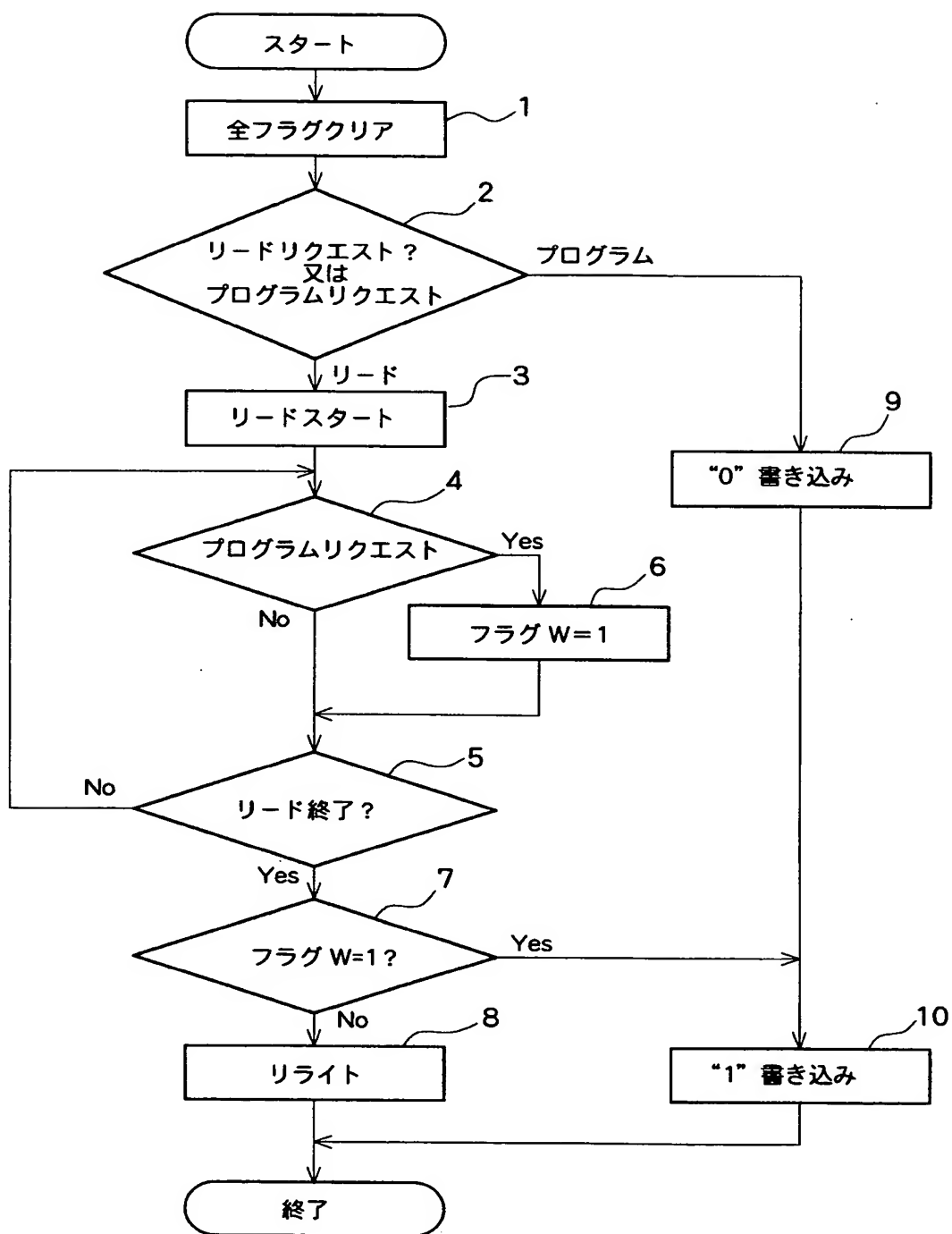
【図 7】



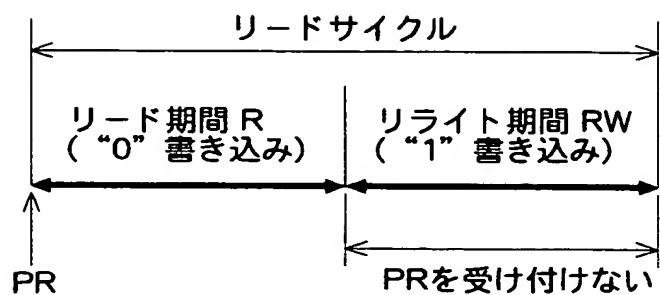
【図 8】



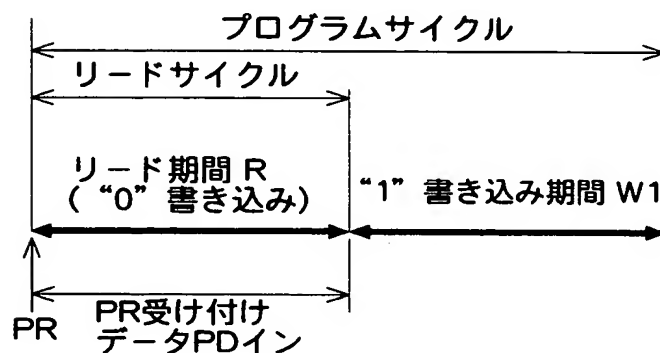
【図 9】



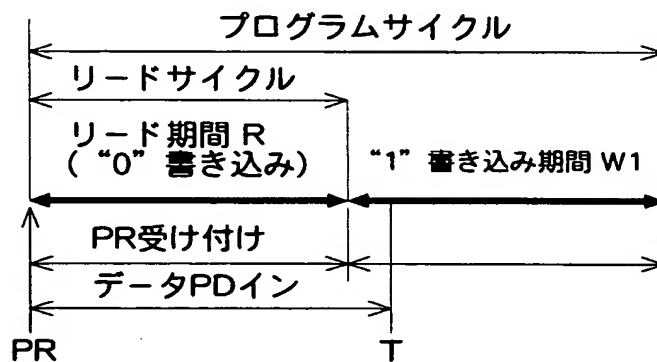
【図 10】



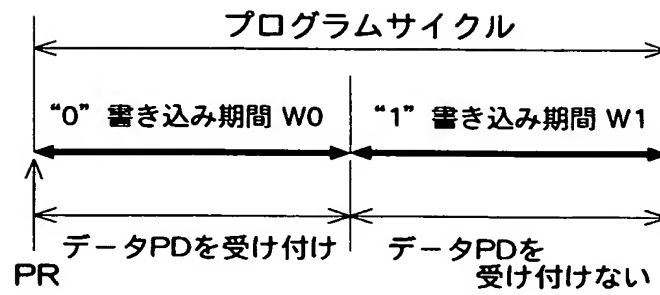
【図 11】



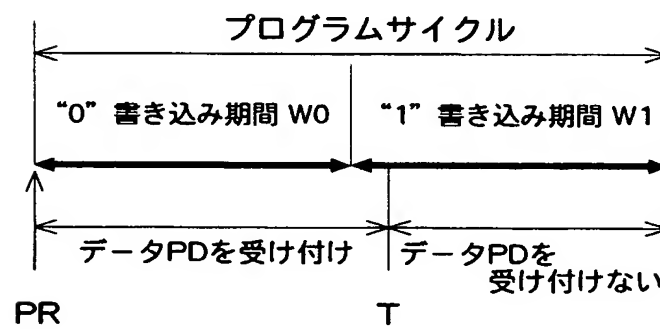
【図 12】



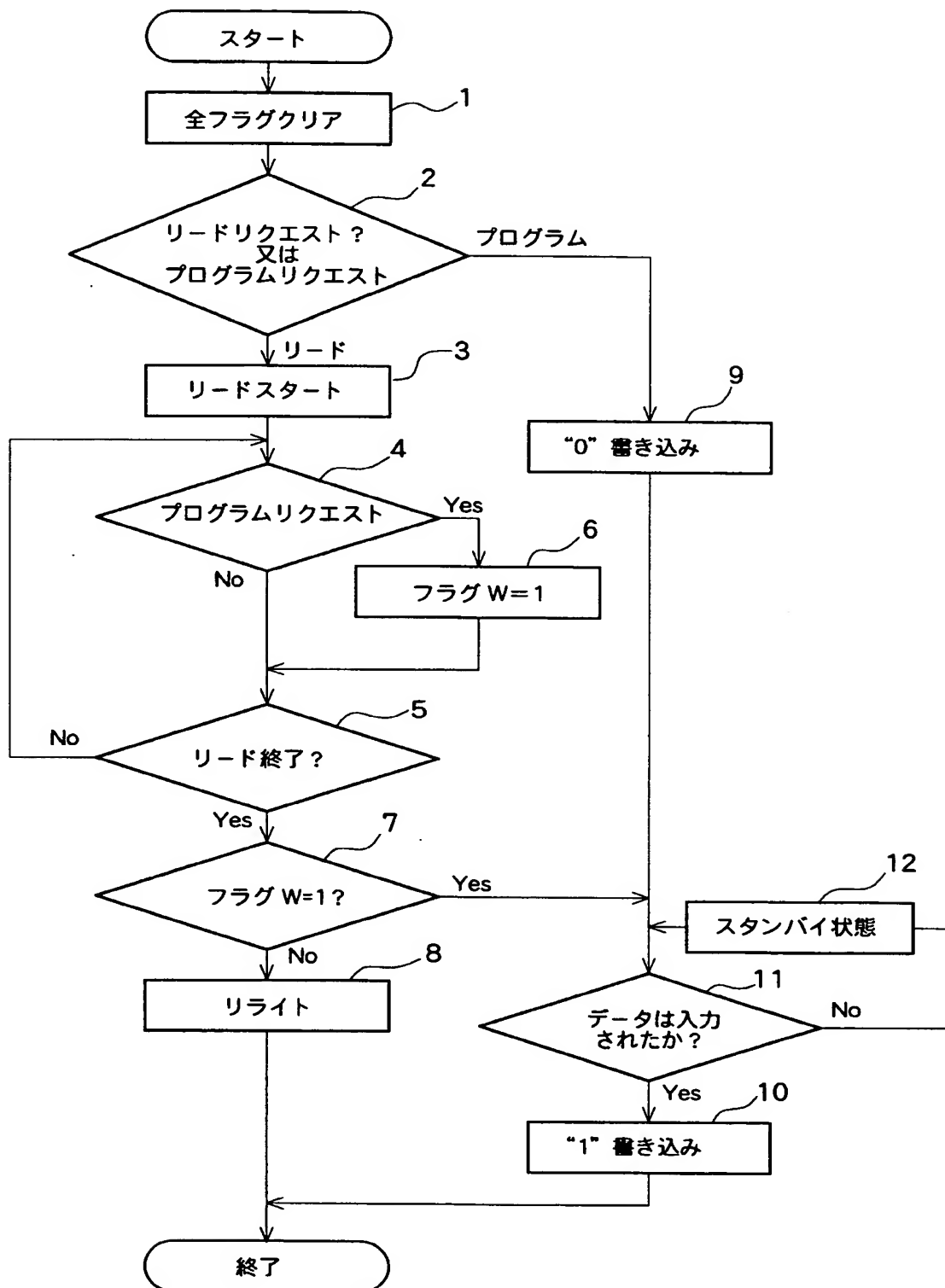
【図 13】



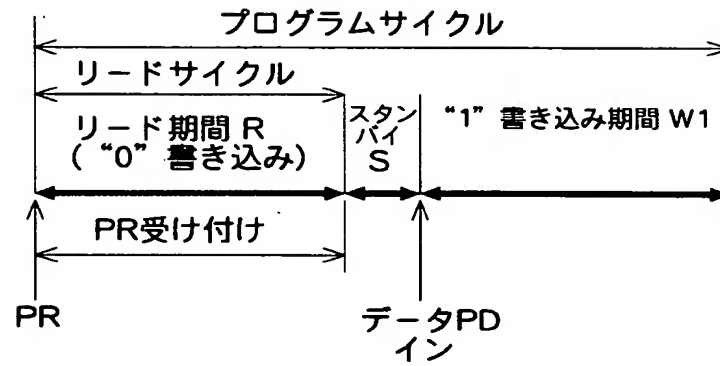
【図 14】



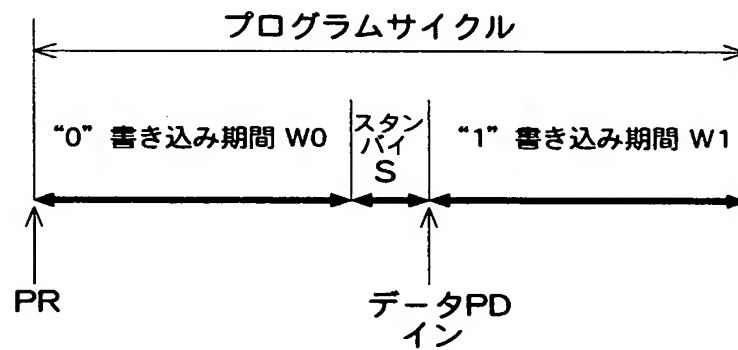
【図 15】



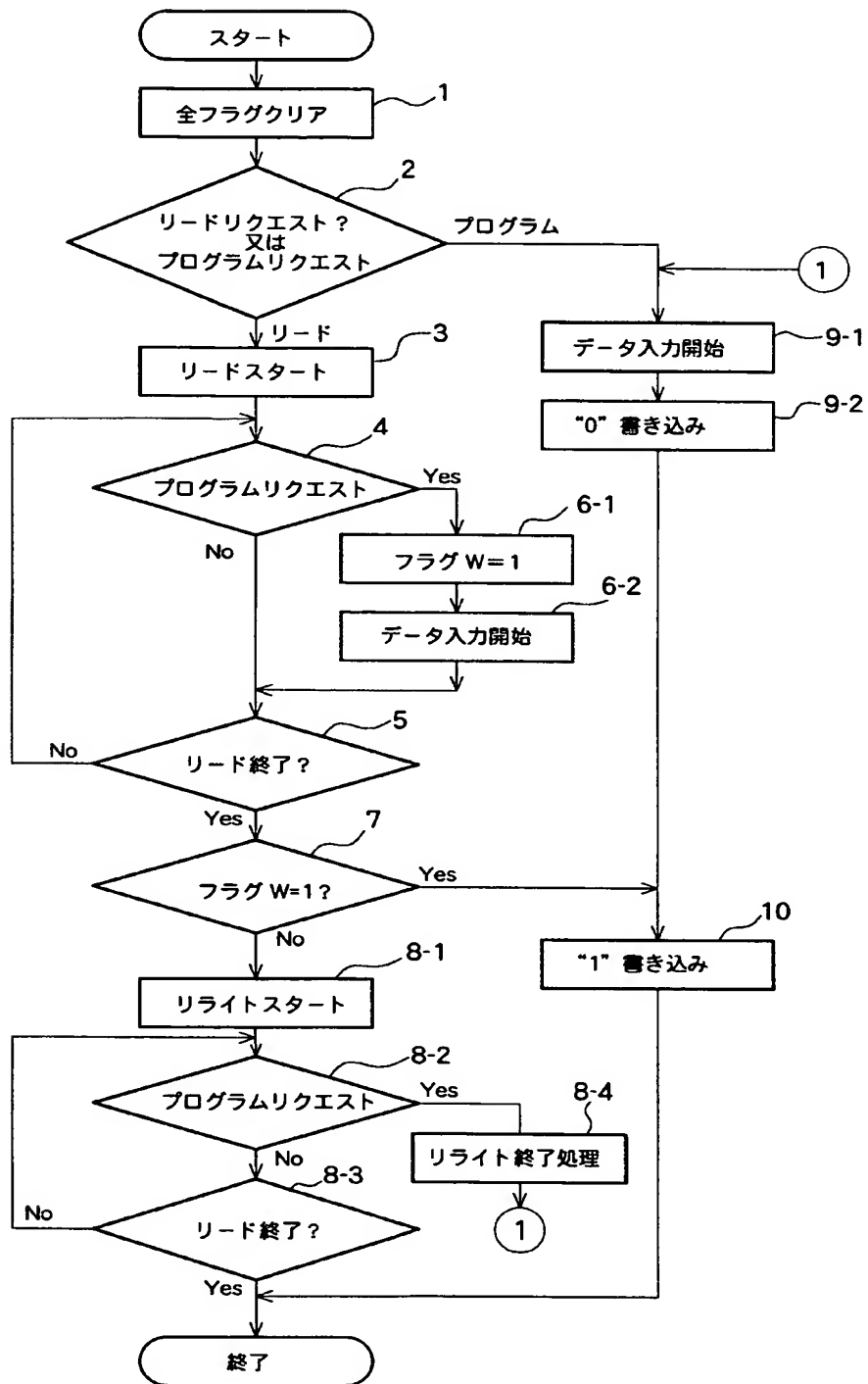
【図 16】



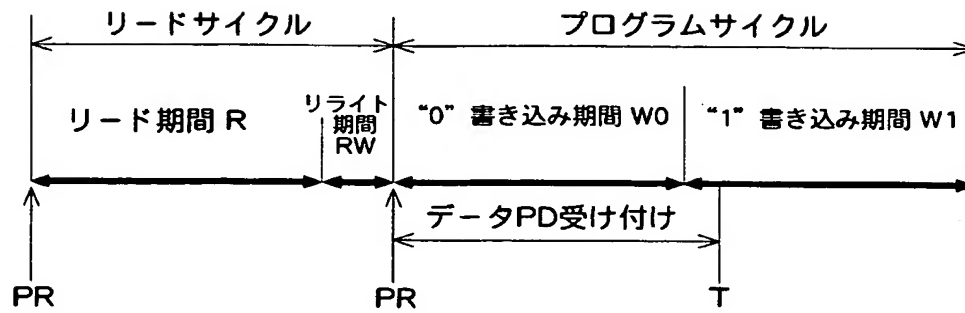
【図 17】



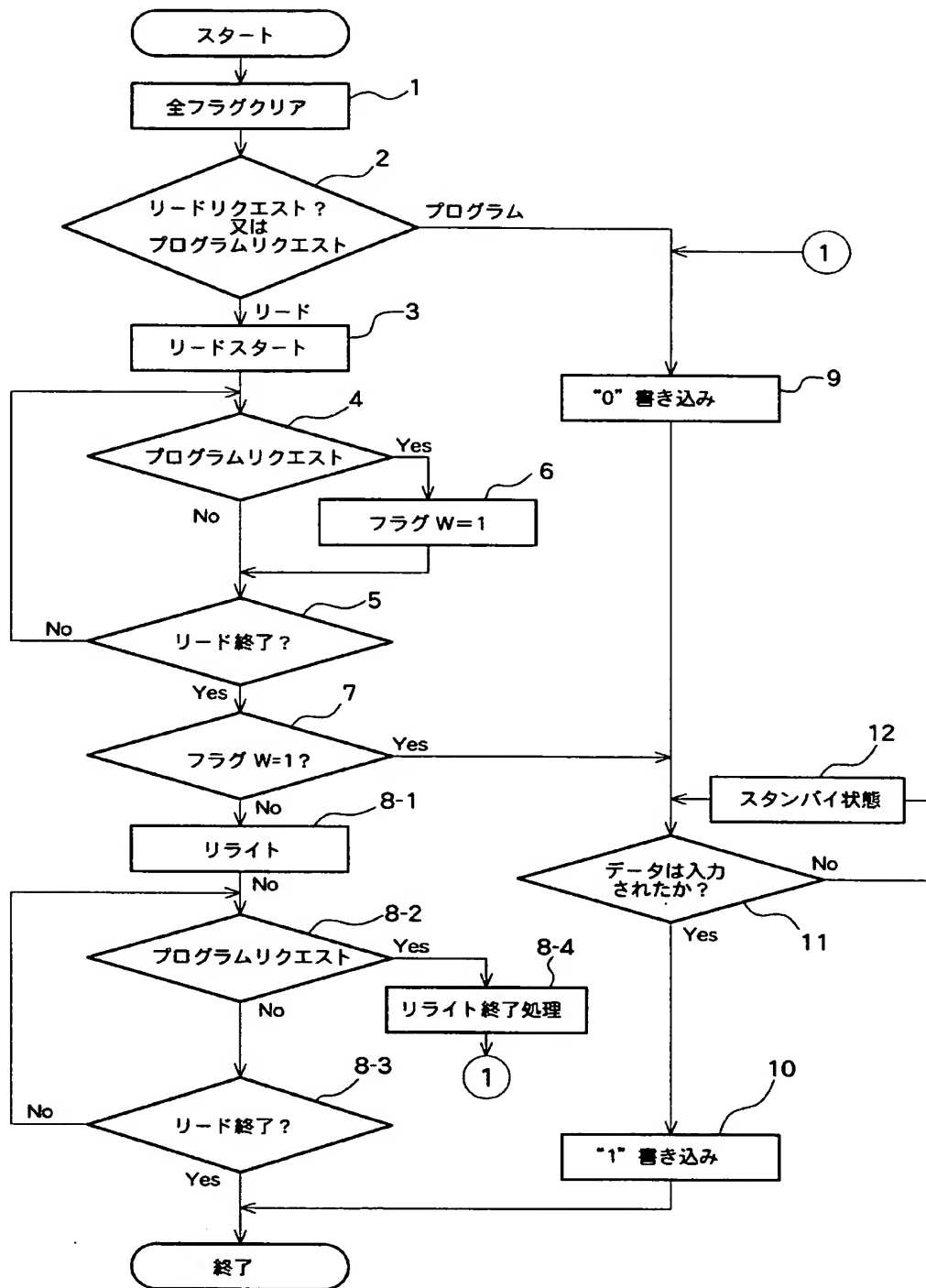
【図18】



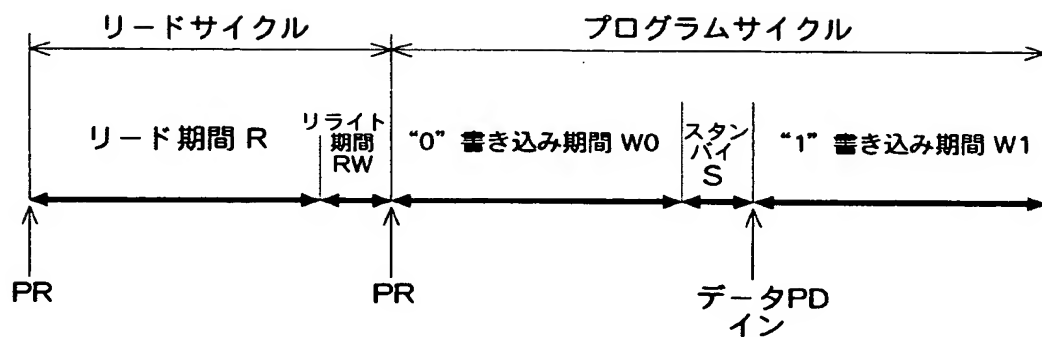
【図 19】



【図 20】



【図 21】



【書類名】 要約書

【要約】

【課題】 リードサイクル途中でのプログラムリクエスト、またはプログラムサイクル途中でのプログラムデータの変更に対処できる強誘電体記憶装置のデータ記憶方法を提供すること。

【解決手段】 複数のメモリセルの中から選択された複数の選択メモリセルに対してプログラムサイクル又はリードサイクルを実施し、かつ、プログラムサイクル及びリードサイクルの各々が、複数の選択メモリセルに対する“0”データ書き込み期間及び“1”データの書き込み期間を含む強誘電体記憶装置のデータ記憶方法である。リードサイクル中の“0”データ書き込み期間（リード期間）にプログラムリクエストがあった時は、“1”データ書き込み期間（ライト1期間）に、複数の選択メモリに対して、プログラムリクエストにて指定されたプログラムデータに従って“1”データを書き込む。

【選択図】 図9

特願 2 0 0 3 - 1 0 6 2 3 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社